

DIALOG(R)File 352:Derwent

(c) 2000 Derwent Info Ltd. All rts. reserv.

004609486

WPI Acc No: 1986-112830/198617

Related WPI Acc No: 1992-088395; 1994-015454

XRAM Acc No: C86-048360

XRPX Acc No: N86-083213

Non-single crystalline semiconductor device - have semi-amorphous semiconductor layer on substrate including side by side regions of higher and lower microcrystallinity and conductivity

Patent Assignee: YAMAZAKI S (YAMA-I); SEMICONDUCTOR ENERGY LAB (SEME);
NAGATA Y (NAGA-I)

Inventor: NAGATA Y; YAMAZAKI S

Number of Countries: 002 Number of Patents: 006

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
US 4581620	A	19860408				198617 B
JP 57013777	A					198617
JP 62216271	A	19870922				198743
US 34658	E	19940712	US 81237609	A	19810224	199427
			US 81278418	A	19810629	
			US 92826472	A	19920127	
JP 6326311	A	19941125	JP 8088974	A	19800630	199508
			JP 86296166	A	19800630	
			JP 94103284	A	19800630	
JP 6326313	A	19941125	JP 8088974	A	19800630	199508
			JP 86296166	A	19800630	
			JP 94103285	A	19800630	

Priority Applications (No Type Date): JP 8088974 A 19800630; JP 86296166 A 19860404; JP 94103284 A 19800630; JP 94103285 A 19800630

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
US 4581620	A		21		
US 34658	E		21	H01L-029/04	CIP of application US 81237609 CIP of patent US 4409134 Reissue of patent US 4581620
JP 6326311	A		7	H01L-029/784	Div ex application JP 8088974 Div ex application JP 86296166
JP 6326313	A		7	H01L-029/784	Div ex application JP 8088974 Div ex application JP 86296166

Abstract (Basic): US 4581620 A

Semiconductor device comprises a nonsingle crystal semiconductor layer (7) formed on a substrate having (a) a first region (S1) of primarily semiamorphous first semiconductor; and (b) a second region (52) of primarily semiamorphous second semiconductor that is more microcrystalline and has higher conductivity than the first region; formed laterally side by side on the substrate.

USE/ADVANTAGE - The device may consist of multiple photoelectric conversion elements formed side-by-side on the substrate (claimed) or multiple MIS transistors formed side-by-side on the substrate (claimed), or forms a photo memory. It may be a bipolar transistor or diode with a pi pin or ni junction in the layer. Devices have higher integration density than conventional

non-single crystalline devices, and photoelectric devices have a higher conversion efficiency.

Dwg.1/7

Title Terms: NON; SINGLE; CRYSTAL; SEMICONDUCTOR; DEVICE; SEMI;
AMORPHOUS; SEMICONDUCTOR; LAYER; SUBSTRATE; SIDE; SIDE; REGION; HIGH;
LOWER; MICRO; CRYSTAL; CONDUCTING

Derwent Class: L03; U12; U13; U14; X15

International Patent Class (Main): H01L-029/04; H01L-029/784

International Patent Class (Additional): H01L-021/20; H01L-021/336;

H01L-027/12; H01L-027/14; H01L-029/78; H01L-031/04

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

02299371

MIS TYPE SEMICONDUCTOR DEVICE

PUB. NO.: 62-216271 [JP 62216271 A]

PUBLISHED: September 22, 1987 (19870922)

INVENTOR(s): YAMAZAKI SHUNPEI

NAGATA YUJIRO

APPLICANT(s): YAMAZAKI SHUNPEI [000000] (An Individual), JP (Japan)

APPL. NO.: 61-296166 [JP 86296166]

FILED: December 12, 1986 (19861212)

INTL CLASS: [4] H01L-029/78; H01L-021/205; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097
(ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 589, Vol. 12, No. 77, Pg. 35, March
10, 1988 (19880310)

ABSTRACT

PURPOSE: To form an isolation region easily by shaping a source region, a drain region and a channel forming region by a semi-amorphous semiconductor and forming the isolation region by an amorphous semiconductor.

CONSTITUTION: A source region, a drain region and a channel forming region are shaped by a semi-amorphous semiconductor, and an isolation region is formed by an amorphous semiconductor. Accordingly, density at a recombination center is reduced by $1/10(\sup 2)$ - $1/10(\sup 4)$ as $10(\sup 13)$ - $10(\sup 16)\text{cm}(\sup -3)$, and electric conductivity is increased by $10(\sup 4)$ - $10(\sup 6)$ times as $10(\sup -6)$ - $10(\sup -4)\cdot\omega\cdot\text{cm}(\sup -1)$, and the semiconductor device is brought close to an ideal semiconductor, thus acquiring the value of 1-50. μm under the intermediate state between 300 angstroms of AS and $10(\sup 3)\cdot\mu\text{m}$ of CS in the mobility of electrons and holes.

⑫ 公開特許公報(A)

昭62-216271

⑪ Int.Cl.⁴H 01 L 29/78
21/205
27/12

識別記号

3 1 1

庁内整理番号

F-8422-5F
7739-5F
7514-5F

⑬ 公開 昭和62年(1987)9月22日

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 MIS型半導体装置

⑮ 特 願 昭61-296166

⑯ 出 願 昭55(1980)6月30日

⑰ 特 願 昭55-88974の分割

⑱ 発 明 者 山 崎 舜 平 東京都世田谷区北烏山7丁目21番21号

⑲ 発 明 者 永 田 勇 二 郎 市川市本菅野1丁目8番17号

⑳ 出 願 人 山 崎 舜 平 東京都世田谷区北烏山7丁目21番21号

明 細 書

1. 発明の名称

MIS 型半導体装置

2. 特許請求の範囲

ソース領域、ドレイン領域及びチャネル形成領域がセミアモルファス半導体より成り、アイソレーション領域がアモルファス半導体より成ることを特徴としたMIS 型半導体装置。

3. 発明の詳細な説明

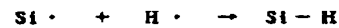
(産業上の利用分野)

本発明はアモルファス(非晶質)構造と結晶構造(単結晶、多結晶を含む)の中間の構造であって、自由エネルギー的に安定な第3の状態を有するセミアモルファス(以下SAS という)を利用したMIS 型半導体装置に関するものである。

(従来の技術及びその問題点)

従来アモルファスシリコン半導体(以下ASという)はその原子間距離もランダムであり、かつその結晶学的な配位もランダムであることをもって定義されていた。

またこのあらゆる意味でのランダムであることにより、自由エネルギー的には結晶性半導体(CRYSTALLINE SEMICONDUCTOR 以下CSという)に比べて必ずしも安定であるとはいえず、またかかるAS中にはそのランダムのため化学的に他と結合をしていない即ち不対結合手が多数存在していた。この不対結合手は再結合中心となり、キャリアのライフタイムをきわめて小さくしてしまい、キャリアキラーとして最もその排除が期待されていた。この不対結合手を除く方法として、最近水素またはハロゲンにより中和すること、即ち半導体が珪素であるとすると、



が知られている。シラン(SiH₄)、四弗化珪素(SiF₄)またはその混合気体に対してグロー放電またはプラズマCVD法を用いることにより作製された被膜は、再結合中心密度が水素・ハロゲンの添加のないASが $10^{10} \sim 10^{12} \text{ cm}^{-2}$ を再結合中心の密度として有するのに対し、 $10^{17} \sim 10^{19} \text{ cm}^{-2}$ と $10^4 \sim 10^6$

分の1にまでその再結合中心の密度を小さくできるものとして注目されている。

しかしかかる程度の密度は半導体としては十分なものではなかった。そのためASは半導体に適したものではなかった。本発明はかかる再結合中心の密度を $10^{14} \sim 10^{16} \text{ cm}^{-3}$ とさらに $1/10^2 \sim 1/10^4$ とし、また電気伝導率は $10^{-8} \sim 10^{-4} \Omega \text{ cm}^{-1}$ と $10^4 \sim 10^6$ 倍も増加させることができさらに理想的な半導体に近づけたものであり、その結果、電子、ホール移動度もASの300 ÅとCSの $\sim 10^2 \mu \text{ m}$ の中間状態の $1 \sim 50 \mu \text{ m}$ の値を得ることができた。

本発明は上記の性質を有したセミアモルファス半導体をMIS型半導体装置に応用することを目的としたものである。

(問題を解決するための手段)

本発明はソース領域、ドレイン領域及びチャネル形成領域をセミアモルファス半導体で形成させアイソレーション領域をアモルファス半導体で形成させることにより、セミアモルファス半導体とアルファル半導体との電気伝導率の差により容易

(3)

ることにより正常な原子間距離を有し、かつその不對結合手を相殺してしまい、さらにその中和された状態を凍結してしまうというセミアモルファス半導体(SEMI-AMORPHOUS SEMICONDUCTOR 即ちSASという)に関するものである。

本発明は、半導体、例えば珪素において、



等の反応を物理的に通電流により発生せしめ、ひいては不對結合手の密度を減少せしめることに加えて、かかる反応に伴う発熱によりショートレンジオーダーにおいて原子の再配列を促すことを特徴としている。

以下に本発明の実施例を示す。

(実施例)

(実施例1)

この実施例は本発明を示し、かつSASの製造原理・存在理論を主として述べたものである。

第1図はアモルファス構造の絶縁性基板(4)上に導体または半導体の電極(3)(Mという)を選択

(5)

にアイソレーション領域の形成が行なえるものであり以下の特徴を有したものである。

本発明はセミアモルファス半導体(半非晶質)構造を有する半導体として定義し、かかる半導体と非晶質の半導体とを隣接せしめる半導体装置に関して、かかる中間構造の半導体をセミアモルファス(以下SASという)と、アモルファス半導体(以下ASという)とを局部的に制御せしめ、特にSASの伝導率をASの伝導率に比べて大きく有せしめることを特徴とする。

本発明はASに対し特定の通路に対して電流特にパルス電流を光照射による光励起または加熱による熱励起のエネルギーとの併用で流すことにより、この電流の不對結合手による再結合中心を介しての再結合によるかかる部所での局部的な多加熱、急冷、特に電流を中止した際のこの極急冷によりその材料状態を冷凍(クインチ)することを特長とする。即ち、この不對結合手を活性にし、この不對結合手とその近傍の他の不對結合手または他の水素等により中和させた結合手とを結合せしめ

(4)

的にアモルファス構造にて形成し、さらに半導体(1)(半導体を総称してSという)即ちASまたはSASという)および半透明の金属またはITO等の透明電極の対抗電極(2)(以下Mという)の構成をさせたMSM構造の縦断面図を示している。

図面において本実施例は珪素を主成分とした半導体(1)に関するものであり、まずシラン(SiH_4)、 SiF_4 、 SiH_2Cl_2 等の珪化物気体をグロー放電法またはプラズマCVD法により $0.1 \sim 10 \mu \text{ m}$ 、特に $1 \sim 5 \mu \text{ m}$ の厚さに形成した。半導体膜はスパッタ法、真空蒸着法、減圧CVD法を用いてもよい。またAS GROWNの状態にてSASを $1 \sim 50\%$ の量AS中に混在させる、または 100% SASに近づける、またはその一部をSASにするには結晶化温度に比べて $30 \sim 150^\circ \text{C}$ 低い温度である $450 \sim 700^\circ \text{C}$ の温度で加熱し、かつその雰囲気をもHとHeとの混合状態、例えば $\text{SiH}_4:10 \sim 30\%$ 、 $\text{H}_2:0 \sim 10\%$ 、 $\text{He}:90 \sim 60\%$ を $1 \sim 100 \text{ MHz}$ または $1 \sim 10^6 \text{ Hz}$ の周波数の $300 \text{ W} \sim 3 \text{ kW}$ の出力を有する誘導エネルギーでプラズマ化すればよかった。Heは電離電圧がすべての原子中最

(6)

も大きく、プラズマ状態の持続のためには、また熱伝導率が0.123Kcal/m²°Cとネオン0.0398、アルゴン0.0140、窒素0.0206等に比べてすべての気体元素中最も大きいので均熱反応をするためには特に重要であった。

本発明はさらにこのAS中でのSASの存在確率を向上して95%以上の概略100%のAS GROWNの半導体にするを目的としている。

さらにこの半導体を形成する工程の前後にて、金属または不純物が多量にドーピングされた半導体の電極さらにまたは不純物電極による電極(3)、(2)を真空蒸着法またはプラズマCVD法または減圧CVD法により形成して第1図の構造を得た。さらにこの2つの電極に対し順方向に電圧を1.0 A/cm² ~ 5 × 10⁴ A/cm²の範囲にて100秒時に0.01 ~ 2秒間印加することにより電流特にパルス電流を流した。

この電流は10 ~ 10¹⁰PFのキャパシタに電荷を充電し、それを放電して電極(3)、(2)間に複数回印加する方法を用いてもよい。

(7)

さらにこのASに対して金属性不純物であるAs、Sbの如きV価の不純物、Ga、Inの如きⅢ価の不純物、Sn、Pbの如きⅣ価の不純物を0.1 ~ 10モル%例えば1.2モル%添加したASの特性(10')に対しSAS化の電流を流すと曲線(13)、(14)を得ることができた。

このことよりかかるⅢ、Ⅳ、V価の金属性元素はSASを助長するための補助剤となっており、B、Pの如き補助作用がみられない不純物とはまったく特性が異なっていた。

さらにかかる電気伝導度のSASによる増加をESR(電子スピン共鳴)での不対結合手のスピン密度の測定結果より調べると、印加時間を0.1秒(17)、0.5秒(16)、2.5秒(18)と変化させて加えると、第3図に示した如く、電流密度に対しすべて漸減した曲線を得ることができた。

即ち、不対結合手がSAS化により減少し、さらに電気伝導度が向上し、ひいてはキャリア移動度が10² ~ 10⁴倍も向上していることが判明した。しかしこれらの半導体被膜を電子線回折像をとる

(9)

この時、ASは不純物をドーピングしない場合は電気伝導度(以下σという)が10⁻¹ ~ 10⁻¹² Ωcm⁻¹であり、絶縁性に等しい。しかしことに光照射をスポット状にて所定の部所に1μφ ~ 1mmφの大きさに10⁴LX以上の照度で行うと、その部所での電気伝導度σは10⁻¹ ~ 10⁻⁴ Ωcm⁻¹と10⁴倍も増加する。この光キャリアを利用するとこの部分のみ大電流を流すことができ、SASとすることができ、さらにその隣接する周囲は電流が流れないためASの構造を残置していることが判明した。

さらにこのSASの特性に関しては、その一例を示す。

第2図は電気伝導度σを縦軸にLOGの座標にて示し、横軸にその絶対温度を示している。

曲線(10)はASの電気伝導度特性であり、ASに3 × 10⁴A/cm²、10²A/cm²を0.5秒間加えると、その曲線はそれぞれ(11)、(12)へと変化し、電気伝導度は室温にてASの10⁻¹² Ωcm⁻¹に対して、10⁻⁴ ~ 10⁻² Ωcm⁻¹と10⁴ ~ 10⁶倍も増加させることができることがわかった。

(8)

と、そこには結晶化した構造を見極めることができず、結晶学的には結晶構造を有しておらず、無定形であるといえる。

また含有水素はASにおいて20モル%を有していたが、その量は減少し、0.1 ~ 5モル%程度しか混入していなかった。このためESRの結果は不対結合手を水素が中和したのではなく、Si同志が互いに結合して中和したためと考えられる。

以上の特性よりいわゆるASの被膜が形成された状態の格子間距離もランダムであり、またその位置もランダムである構造に対し、自由エネルギーの安定なさらに熱エネルギー的に安定な結晶構造とは異なる第3の安定点を自由エネルギー的に有しているものと想定される。第4図はこの関係を示したもので、構想は一般的なCONFIGURATIONAL COORDINATE(位相空間の座標)縦軸は自由エネルギーを示している。図面にて、AS(21)、(21')、SAS(22)、CS(23)と3つの状態を有し、SASはASからCSになるための準安定状態というよりも第3の安定状態であることが判明した。

(10)

また、この第2図において基板温度を室温より200℃、400℃とすると、室温のグラフ(11)、(12)がそれぞれ3A/cm²または10²A/cm²の低い電流密度(11)において得ることができた。電流を加える時に局部的な光照射によるフォトキャリアを発生させること、またこの光スポットを走査(スキャン)させること、スキャンされた光路に従ってSASを作ることができることは本発明の特長である。またこの時、併せて加熱することにより熱膨張を助長することは実用上無理なく、かつ広い領域に均一に電流を加えるためにきわめて有効であった。

この電流密度はこの面積における平均電流を意味する。その電極下の局部的に流れる領域の電流密度を意味するため、その面積が1mm²以下の小面積のみでなく、10cm²の如き大面積にも適用が可能である。

第1図においてはかくして電極(2)の直下の半導体(20)がSASとなり、また領域(19)は下側電極もないため、AS GROWNのASまたはASとSASとの混在した半導体、領域(19')はAS GROWNの半導体と

(11)

領域(20)の半導体との中間構造を有する。

この第1図はアモルファス珪素の場合であるがGa, GeSi_x (0<x<1), SiO_{2-x} (0<x<2), SiC_{1-x} (0<x<1), Si₃N_{4-x} (0<x<4)の如き化合物または混合物であっても同様に実施可能であり、本発明のいう半導体とは電流を流し得る制限における半絶縁体をも含むことはいうまでもない。

かくしてASである珪素においてはキャリア移動度が約300 cm²/Vsec程度しかなかったが、1~50μmと10⁴倍にもなり、単結晶の1/10~1/1000にまで近づけることができた。

また電子線回折にてセミアモルファス半導体を調べたところ、原子間距離は珪素において2.2~2.5 Åであり、単結晶の2.3 Åと概略一致していた。しかしその距離は必ずしも単結晶と同じく結晶性のダイヤモンド構造を有しておらず、ショートレンジオーダーではダイヤモンド構造を有していても回折で調べる範囲においては格子歪を多く有していた。

この格子歪のため、光の遷移は単結晶の珪素の

(12)

間接遷移とは異なり、ASと同じく直接遷移であり理想的な半導体構造をセミアモルファス半導体は有していることが判明した。

〔実施例2〕

この実施例2は第5図にその縦断面図を示したMIS-FETに関するものである。

図面はSOS型のもので、ガラス、セラミックまたはシリコン基板上に酸化膜を約1μmの厚さに形成したいわゆる非結晶性表面を、有する絶縁基板(40)上にASの半導体層を形成し、さらにその一部を選択的にSASとし、このSASをMIS-FET(41)として用い、またASをアンソレーション領域(46)、(46')として用いたものである。

即ち、実施例1にて示された方法により作製された0.3~1μmの厚さのASに対し酸化珪素(42)を0.2~0.5μmの厚さに形成させ、マスク用被膜とした。この酸化珪素は選択的に酸化性気体に対しマスク作用を有する被膜である。

次にASを酸化して埋置することにより、選択性酸化膜(49)を形成させた。

(13)

さらにこの後このマスク用被膜を除去し、再度ASを高圧またはプラズマ酸化法によりゲイト絶縁膜(42)、(42')を50~100 Åの厚さに形成した。さらにゲイト電極(41)、(41')をASまたはSASとして形成した。特にSASとする場合N型とするには導電性金属であるSb、Asを、またP型ではIn、Gaを0.1~5モル%添加した。この後、この半導体層をフォトエッチングをしてソース、ドレインの電極リード(50)、(50')、(50'')を作製した。この後Nチャネル型MIS-FETの場合、Asをイオン注入法によりソース(43)、(43')、ドレイン(44)、(44')の領域にドーピングして作製した。V_gリーフ(50)に対し出力(ドレイン)の電極リードはオーバーコート膜(層間絶縁膜)上に(48)として形成し、さらにパルス電流を実施例1に従って流し、チャネル形成領域(45)、(45')をSASとし、同時にソース(43)、(43')、ドレイン(44)、(44')もSAS化した。しかし、電流の流れない絶縁膜(49)の下側のAS(46)、(46')はASとして残り、選択的にASとSASとを同一半導体層に作ることができ、SASは半導体とし

(14)

て作用せしめASは実質的に絶縁体として作用せしめた。

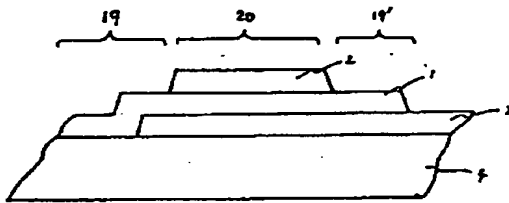
ロード(41)'をディプレッション型にするため(41')のゲイトはN⁺型とし、ドライバ(41)のゲイトはソース、ドレインの導電型とは異なるP⁺型とした多数キャリアを利用するDIS-FETの実施例を示している。

少数キャリアを用いる場合はNチャネルMIS-FETにおいてはチャネル形成領域(45)、(45')はP型としておくといよい。

この実施例はMIS-FETのインバータの例であるが、これを集積化し、またバイポーラ型のIC、SIT、IIL等への本発明の応用も可能であり、その場合トランジスタ、ダイオード領域をSASとし、周辺のアイソレーション領域の一部または全部をASとすればよい。

本発明によれば光及び電流を加えるだけで容易にASからSASにすることができるため伝導率の異なる領域を簡単に形成させることができる。

よってアイソレーション領域を容易に形成させ



第 1 図

ることができる。

以上の説明より明らかな如く本発明のASとSASとを同一半導体中に設けることは、その実施仕様であるMIS型光電変換装置、MIS-FETを用いた集積回路、光メモリ等への応用が可能であり、さらに同一技術思想に基づく多くの応用が可能である。

4. 図面の簡単な説明

第1図は本発明の原理を説明する半導体装置の縦断面図である。

第2図はその結果得られた電気伝導度を示している。

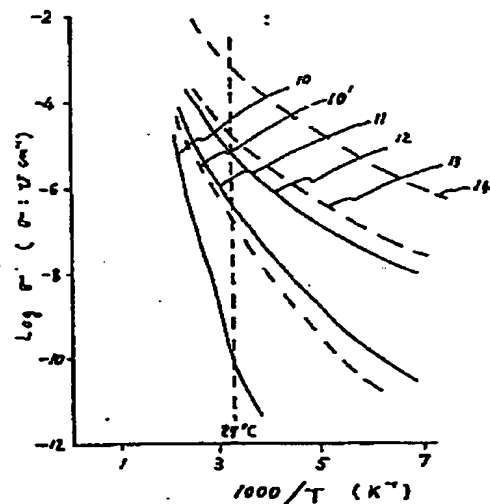
第3図はESRの結果である。

第4図は自由エネルギーをAS, SAS, CSで示したものである。

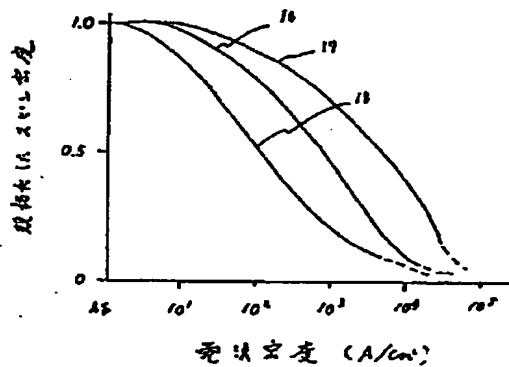
第5図は本発明のMIS-FETをインバータ構造にて同一基板上に設けたものである。

特許出願人

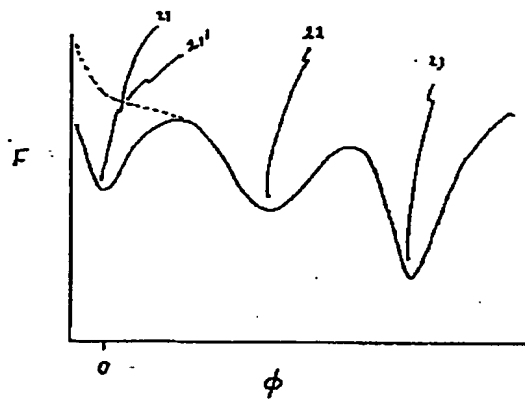
氏名 山 崎 舜 平



第 2 図



第 3 図



第 4 図

図面の浄書(内容に変更なし)

手 続 補 正 書(方式)

昭和62年 4月10日

特許庁長官 殿

1. 事件の表示

昭和61年特許願第296166号

2. 発明の名称

MIS 型半導体装置

3. 補正をする者

事件との関係 特許出願人

住所 東京都世田谷区北烏山7丁目21番21号

氏名 ヤマ 山 崎 昇 平

4. 補正命令の日付

昭和62年 3月 4日

(発送日 昭和62年 3月31日)

5. 補正により増加する発明の数 なし

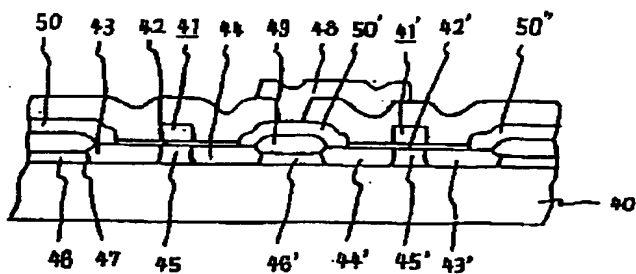
6. 補正の対象

願書の発明者の欄並びに図面の第5図。

7. 補正の内容

①願書の発明者の欄を別紙の通り補正する。

②図面の第5図の浄・別紙の通り(内容に変更なし)。



第 5 図